

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

P-16673-6
US

#2
US
JC971 U.S. PTO
09/873470
06/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 6月 5日

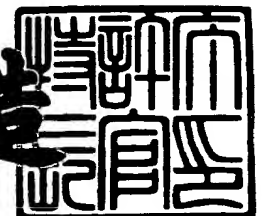
出願番号
Application Number: 特願2000-167195

出願人
Applicant(s): 日本電気株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014638

【書類名】 特許願

【整理番号】 74410413

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H03K 19/0175

【発明の名称】 半導体装置及びそのテスト方法

【請求項の数】 10

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 山本 明良

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3433-4221

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びそのテスト方法

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の基準電位を使用して第 1 の動作モードで動作し第 3 及び第 4 の基準電位を使用して第 2 の動作モードで動作し第 5 及び第 6 の基準電位を使用してウェハテストが行われる半導体装置において、前記第 1 の動作モードでは切断され前記第 2 の動作モードでは切断されないヒューズと、前記第 1 及び第 3 の基準電位を発生する基準電位発生回路と、前記第 2 及び第 5 の基準電位が外部から印加されるパッドと、前記第 4 の基準電位を前記第 3 の基準電位から生成し前記第 6 の基準電位を前記第 5 の基準電位から生成する電位調整手段と、前記第 1、第 3 及び第 5 の基準電位が出力される第 1 の端子と、前記第 2、第 4 及び第 6 の基準電位が出力される第 2 の端子と、を有することを特徴とする半導体装置。

【請求項 2】 前記ヒューズが切断される前において前記パッドにハイレベルの信号が供給されるとその信号を前記第 1 の端子に出力し前記パッドにロウレベルの信号が供給されると前記基準電位発生回路が発生する基準電位を前記第 1 の端子に出力しヒューズが切断された後においては前記パッドに供給された信号のレベルに依存することなく前記基準電位発生回路が発生する基準電位を前記第 1 の端子に出力する第 1 のスイッチを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 動作モードが前記第 2 の動作モードである場合にはハイレベルに固定されて前記電位調整手段が生成した基準電位を前記第 4 の基準電位とする第 2 のスイッチを有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 1、第 3 及び第 5 の基準電位を昇圧する昇圧回路を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記第 1、第 3 及び第 5 の基準電位を降圧する降圧回路を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記降圧回路から出力された電圧により動作する複数のメモ

リセル及びリダンダンシセルと、前記複数のメモリセルのうち不良のメモリセルを前記リダンダンシセルに置換するトリミング手段と、を有することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記第 1 の動作モードは、S S T L モードであり、前記第 2 の動作モードは、L V T T L モードであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記第 1 のスイッチは、前記第 1 の動作モードにおいて電源投入によりレベルが切替わるワンショット信号を入力して前記電源投入に応答することを特徴とする請求項 2 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 第 1 及び第 2 の基準電位を使用して第 1 の動作モードで動作し第 3 及び第 4 の基準電位を使用して第 2 の動作モードで動作し第 5 及び第 6 の基準電位を使用してウェハテストが行われる半導体装置において、前記第 1 の動作モードでは切断され前記第 2 の動作モードでは切断されないヒューズと、製品状態での動作確認テストにおける基準電位、前記第 1 の基準電位及び前記第 5 の基準電位が供給されるパッドと、を有することを特徴とする半導体装置。

【請求項 1 0】 第 1 及び第 2 の基準電位を使用して第 1 の動作モードで動作し第 3 及び第 4 の基準電位を使用して第 2 の動作モードで動作し、前記第 1 の動作モードでは切断され前記第 2 の動作モードでは切断されないモード切替用ヒューズ、前記第 1 及び第 3 の基準電位を発生する基準電位発生回路、前記第 2 の基準電位が外部から印加されるパッド、前記第 4 の基準電位を前記第 3 の基準電位から生成する電位調整手段、前記第 1 及び第 3 の基準電位が出力される第 1 の端子、前記第 2 及び第 4 の基準電位が出力される第 2 の端子、前記第 1 の端子から出力された基準電位から生成された電圧により動作する複数のメモリセル及びリダンダンシセル並びに切断により前記複数のメモリセルのうち不良のメモリセルを前記リダンダンシセルに置換するリダンダンシ選択用ヒューズを備えた半導体装置のテスト方法において、前記パッドにウェハテスト用の第 5 の基準電位を供給し前記電位調整手段に前記第 5 の基準電位からウェハテスト用の第 6 の基準電位を生成させてウェハテストを行う工程と、前記モード切替用ヒューズ及び前記ウェハテストの結果不良と判定されたメモリセルについての前記リダンダンシ

選択用ヒューズを切断する工程と、を有することを特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の動作モードへの適用に好適な半導体装置及びそのテスト方法に関し、特に、パッド数の低減による小型化を図った半導体装置及びそのテスト方法に関する。

【0002】

【従来の技術】

一般に、ダイナミック・ランダム・アクセス・メモリ（DRAM）の製造工程では、拡散とよばれるウェハへの所定の拡散層、絶縁膜及び配線層等の形成が終了した後、ウェハテストが行われる。このウェハテストでは、メモリセルアレイ中の不良セル、即ちリダンダンシセルで置換すべきセルを特定するリダンダンシテスト及び内部基準電位が所定の値となっているか否かのテスト等が行われる。次いで、ウェハテストの結果に基づいて、メモリセルの置換及び内部基準電位の調整のため、内部に作り込んであるヒューズの切断が行われる。その後、ヒューズの切断により、所定の動作が正常に行われるかのテストとして再度ウェハテストが行われ、組立工程及び選別工程を経て良品のDRAMが出荷される。

【0003】

一般に、DRAMにおける入力インターフェイスの仕様では、LVTTTL（Low Voltage Transistor Transistor Logic）モード及びSSTL（Stub Series Terminated Logic）モードが主流となっている。

【0004】

LVTTTLモードでは、2.0V以上がハイレベル、0.8V以下がロウレベルと規定されており、パーソナルコンピュータ等で主に採用されている。また、LVTTTLモードでの周波数は、例えば100MHzであり、基準クロック信号のパルス幅は10n秒である。

【0005】

一方、S S T Lモードでは、動作精度が要求されるため、入力信号がハイレベルであるかロウレベルであるかを判定する基準電圧が外部から指定される。例えば基準電圧より0.3V以上高い電圧をハイレベル、基準電圧より0.3V低い電圧以下の電圧をロウレベルと規定されており、サーバ及びワークステーション等で主に採用されている。また、S S T Lモードでの周波数は、例えば133MHzであり、基準クロック信号のパルス幅は7.5n秒である。

【0006】

そして、D R A Mの製造工程では、製造を容易なものとするため、例えばボンディングオプションにより入力インターフェイスを切替えてL V T T Lモードで使用するものとS S T Lモードで使用するものとを区別している。即ち、D R A M内に設けられた専用のパッドに所定の電圧を供給するワイヤを接続する可否かでこれらのモードの切り替えを行っている。

【0007】

図12及び図13は従来の半導体装置の構造を示すブロック図である。また、図14はアドレスバッファ108、コマンド・クロックバッファ109及びデータ入出力バッファのデータ入力部の各入力初段部分に設けられる入力バッファの構成を示す回路図である。

【0008】

従来の半導体装置には、図12に示すように、基準電位を発生する基準電位発生回路101及びウェハテストに使用する電圧が供給されるパッドP A D 1 1が設けられている。基準電位発生回路101には、NチャネルトランジスタN101及びPチャネルトランジスタP101からなるトランスファゲートG101が接続され、パッドP A D 1 1には、NチャネルトランジスタN102及びPチャネルトランジスタP102からなるトランスファゲートG102が接続されている。また、パッドP A D 1 1に入力された信号を反転しトランジスタP102及びN101の各ゲートに印加するインバータI V 1 0 1が設けられている。また、トランジスタN102及びP101の各ゲートにはパッドP A D 1 1に入力された信号がそのまま印加される。従って、トランスファゲートG101とトランスファゲートG102とは互いに異なるタイミングで導通状態となる。なお、ウ

エハテストに使用する電圧値は、設計から決定された値であり、例えば 2.1 V であるが、これに限定されるものではない。

【 0 0 0 9 】

また、トランスファゲート G 1 0 1 及び G 1 0 2 間の接続点と接地との間に抵抗素子 R 1 0 1 及び R 1 0 2 がこの順で接続されている。抵抗素子 R 1 0 1 及び R 1 0 2 間の接続点に N チャネルトランジスタ N 1 0 3 からなるスイッチが接続され、その他端に S S T L モードの通常動作時に使用する電圧が印加されるパッド P A D 1 2 が接続されている。トランジスタ N 1 0 3 のゲートには、ボンディングオプション等により電位レベルが固定された制御信号 C 1 が印加される。なお、S S T L モードの通常動作時に使用する電圧値は、規格に基づいた値であり例えば 1.5 V であるが、これに限定されるものではない。

【 0 0 1 0 】

トランスファゲート G 1 0 1 及び G 1 0 2 間の接続点から基準電位 V R E F 0 が出力され、トランジスタ N 1 0 3 のパッド P A D 1 2 側から基準電位 V R E F が出力される。なお、基準電位 V R E F 0 が前述の S S T L モードにおいて外部から指定される基準電位である。

【 0 0 1 1 】

更に、従来の半導体装置には、図 1 3 に示すように、基準電位 V R E F 0 (例えば、2.1 V) を判定基準として外部から供給される電源電位を降圧して所定の電圧 V I N T S を出力する降圧回路 1 0 2 及び基準電位 V R E F 0 を判定基準として外部から供給される電源電位を昇圧して所定の電圧 V B O O T を出力する昇圧回路 1 0 3 が設けられている。降圧回路 1 0 2 及び昇圧回路 1 0 3 は、例えば 2.1 V の基準電位 V R E F 0 に対してしきい値分だけ低い電圧又は高い電圧を発生する回路である。また、電圧 V I N T S により動作するメモリセル 1 0 4、リダンダンシセル 1 0 5 及びセンスアンプ 1 0 6 並びに電圧 V B O O T により動作するロウデコーダ 1 0 7 が設けられている。

【 0 0 1 2 】

また、アドレス信号 A D D を入力しロウデコーダ 1 0 7 を駆動するアドレスバッファ 1 0 8 並びにロウアドレスストローブ信号 R A S、カラムアドレスストロ

ーブ信号CAS、ライトイネーブル信号WE、チップセレクト信号CS及びクロック信号CLKを入力し、メモリセル104でのデータの読み書きを制御するコマンド・クロックバッファ109が設けられている。更に、予め行われたリダンダンシテストによりヒューズ110aの切断が行われアドレスバッファ108の出力に応じてロウデコーダ107及びリダンダンシセル105を駆動するリダンダンシ判定回路110が設けられている。そして、センスアンプ106と入出力端子DQとの間にデータ入出力バッファ111が設けられている。

【0013】

アドレスバッファ108、コマンド・クロックバッファ109及びデータ入出力バッファ111のデータ入力部には、図14に示すような入力バッファがその入力初段部分に設けられている。この入力バッファには、基準電位VREFがゲートに入力されるNチャネルトランジスタN11及び外部からの入力信号INがゲートに入力されるNチャネルトランジスタN12が設けられている。トランジスタN11及びN12のソースはいずれも接地に接続されている。また、電源電圧VDDがソースに供給され互いのゲートが共通接続されたPチャネルトランジスタP11及びP12が設けられている。トランジスタP11のドレイン及びゲートはトランジスタN11のドレインに接続されている。一方、トランジスタP12のゲートはトランジスタN11のドレインに接続され、ドレインはトランジスタN12のドレインに接続されている。そして、トランジスタP12及びN12の各ドレインの共通接続点から出力信号OUTが出力される。

【0014】

このように構成された従来の半導体装置においては、ウェハテストを行う際には、パッドPAD11に2.1Vのテスト用電圧を供給すると共に、制御信号G1のレベルをハイとしてトランジスタN103を導通させる。この結果、トランスファゲートG102が導通状態となるので、基準電位VREF0は2.1V、基準電位VREFは2.1Vを抵抗素子R101及びR102で抵抗分割した電位となる。このようにテスト用の電圧を外部から供給するのは、ウェハテストを行う際には基準電位発生回路101が発生する基準電位が製造ばらつきに起因してずれていることがあり、そのテスト自体もウェハテストで行われるからである

【 0 0 1 5 】

また、ウェハテスト後には、LV TTLモード用であれば、制御信号C1のレベルをハイとしてトランジスタN103を導通させると共に、パッドPAD11及びPAD12をオープン状態とする。この結果、通常動作時に、基準電位VREF0は基準電位発生回路101が発生した基準電位となり、基準電位VREFはその基準電位を抵抗分割した電位となる。一方、SSTLモード用であれば、制御信号C1のレベルをロウとしてトランジスタN103を非導通とすると共に、パッドPAD11をオープン状態とし、パッドPAD12には1.5Vの動作用電圧を供給する。この結果、通常動作時に、基準電位VREF0は基準電位発生回路101が発生した基準電位となり、基準電位VREFはパッドPAD12に供給された1.5Vとなる。

【 0 0 1 6 】

なお、図14に示す入力バッファにおいては、入力信号INのレベルが基準電位VREFよりも高い場合には、トランジスタN12が導通して出力信号OUTのレベルはロウとなる。一方、入力信号INのレベルが基準電位VREFよりも低い場合には、トランジスタP12が導通して出力信号OUTのレベルはハイとなる。入力信号INは、アドレスバッファ108ではアドレス信号、コマンド・クロックバッファ109ではコマンド（制御）入力信号、データ入出力バッファ111のデータ入力部ではデータ入力信号である。従って、基準電位VREFは、これらの信号がハイレベルであるかロウレベルであるかを判別するための基準信号となる。

【 0 0 1 7 】

この出力信号OUTの反応は、基準電位VREFと入力信号INとのレベル差が大きいほどよいものとなる。LV TTLモードで動作する場合には、前述のように、入力信号INのハイ／ロウ間の差が比較的大きいので、基準電位VREFが入力信号INとは関係なく多少変動したとしても、入力信号INのハイ／ロウで反応速度の相違はほとんど生じない。一方、SSTLモードで動作する場合には、前述のように、基準電位VREFのハイ／ロウ間の差が小さいので、即ち基

準電位 V_{REF} の振幅が小さいので、基準電位 V_{REF} が入力信号とは関係なく変動したときの反応速度の変化の影響が大きくなる。このため、 $SSTL$ モードで動作する場合には、基準電位 V_{REF} は入力信号 IN のハイ／ロウ間の中間値に設定している。このように基準電位 V_{REF} を設定すれば、基準電位 V_{REF} は入力信号 IN に付随するので、反応速度の変化の影響はほとんどなくなる。

【0018】

【発明が解決しようとする課題】

しかしながら、半導体装置の小型化が進められている近年において、サイズの縮小が困難なパッドに対しては、その数の低減の要請があるが、上述の従来の構造では、少なくともテスト専用のパッド及び $SSTL$ モード専用のパッドが必要であり、更にトランジスタ $N103$ のゲートの電位レベルを固定するパッドも必要とされる場合がある。このため、小型化が困難であるという問題点がある。

【0019】

また、ウェハテスト時に供給される基準電位 V_{REF0} にずれがある場合等には、回路内部の各節点におけるレベルが設計値からずれて正確な動作が行われなくなる。例えば、読み出し速度、書き込み速度及びホールド時間等のセル特性並びに回路特性が正確には測定されなくなる。更に、 $CMOS$ トランジスタから構成されるトランスファゲート $G101$ 及び $G102$ にはバイポーラトランジスタが寄生しているので、この寄生バイポーラトランジスタに発生する過大電流によってラッチアップが発生し、装置自体が破壊される虞もある。

【0020】

更に、従来の半導体装置で $SSTL$ モードにおけるウェハテストと通常動作との動作切替を動作切替用端子に供給される電圧値、即ち入力レベルの差で行おうとしても、入力レベル間の差が小さいときにはモード切替を行うことができないという問題点がある。

【0021】

本発明はかかる問題点に鑑みてなされたものであって、パッドの少数化により小型化を可能とすることができる半導体装置及びそのテスト方法を提供することを目的とする。

【 0 0 2 2 】

【課題を解決するための手段】

本発明に係る半導体装置は、第1及び第2の基準電位を使用して第1の動作モードで動作し第3及び第4の基準電位を使用して第2の動作モードで動作し第5及び第6の基準電位を使用してウェハテストが行われる半導体装置において、前記第1の動作モードでは切断され前記第2の動作モードでは切断されないヒューズと、前記第1及び第3の基準電位を発生する基準電位発生回路と、前記第2及び第5の基準電位が外部から印加されるパッドと、前記第4の基準電位を前記第3の基準電位から生成し前記第6の基準電位を前記第5の基準電位から生成する電位調整手段と、前記第1、第3及び第5の基準電位が出力される第1の端子と、前記第2、第4及び第6の基準電位が出力される第2の端子と、を有することを特徴とする。

【 0 0 2 3 】

本発明においては、第4の基準電位を第3の基準電位から生成しウェハテストにおける第6の基準電位を第5の基準電位から生成する電位調整手段が設けられているので、第1の端子に出力される第1及び第3の基準電位は、いずれの動作モードにおいても基準電位発生回路により生成させ、第2の端子に出力される第2及び第4の基準電位は、第1の動作モードではパッドに第2の基準電位を供給すると共にヒューズを切断し、第2の動作モードでは電位調整手段により第3の基準電位から生成させることができる。また、ウェハテストを行う際には、パッドに第5の基準電位を供給し、電位調整手段により第5の基準電位から第6の基準電位を生成させることができる。従って、ウェハテスト並びに通常動作の第1及び第2の動作モードに対し1個のパッドのみで必要な電位を外部から供給することが可能となり、パッド数を低減することができる。

【 0 0 2 4 】

なお、前記ヒューズが切断される前において前記パッドにハイレベルの信号が供給されるとその信号を前記第1の端子に出力し前記パッドにロウレベルの信号が供給されると前記基準電位発生回路が発生する基準電位を前記第1の端子に出力しヒューズが切断された後においては前記パッドに供給された信号のレベルに

依存することなく前記基準電位発生回路が発生する基準電位を前記第 1 の端子に出力する第 1 のスイッチを設けることにより、各動作モードでの動作がより確実なものとなる。

【 0 0 2 5 】

また、動作モードが前記第 2 の動作モードである場合にはハイレベルに固定されて前記電位調整手段が生成した基準電位を前記第 4 の基準電位とする第 2 のスイッチを設けることにより、動作モードの切替えが確実になる。

【 0 0 2 6 】

前記第 1 の基準電位を昇圧する昇圧回路及び／又は前記第 1 の基準電位を降圧する降圧回路を有してもよく、前記降圧回路から出力された電圧により動作する複数のメモリセル及びリダンダンシセルと、前記複数のメモリセルのうち不良のメモリセルを前記リダンダンシセルに置換するトリミング手段と、を設けることにより、DRAMへの適用が可能となる。

【 0 0 2 7 】

なお、前記第 1 の動作モードを SSTL モードとし、前記第 2 の動作モードを LVTTL モードとしてもよい。

【 0 0 2 8 】

また、前記第 1 のスイッチを、前記第 1 の動作モードにおいて電源投入によりレベルが切替わるワンショット信号を入力して前記電源投入に応答させることにより、電源投入から瞬時に適切な動作モードの判断を行うことが可能となる。

【 0 0 2 9 】

本発明に係る他の半導体装置は、第 1 及び第 2 の基準電位を使用して第 1 の動作モードで動作し第 3 及び第 4 の基準電位を使用して第 2 の動作モードで動作し第 5 及び第 6 の基準電位を使用してウェハテストが行われる半導体装置において、前記第 1 の動作モードでは切断され前記第 2 の動作モードでは切断されないヒューズと、製品状態での動作確認テストにおける基準電位、前記第 1 の基準電位及び前記第 5 の基準電位が供給されるパッドと、を有することを特徴とする。

【 0 0 3 0 】

本発明においては、パッドに従来から具備されている製品状態での動作確認テ

ストにおける基準電位及びウェハテストにおける基準電位の供給端子という機能だけでなく、第 1 の動作モードにおける基準電位の供給端子という機能が追加されるので、全体的なパッド数が低減される。

【 0 0 3 1 】

本発明に係る半導体装置のテスト方法は、第 1 及び第 2 の基準電位を使用して第 1 の動作モードで動作し第 3 及び第 4 の基準電位を使用して第 2 の動作モードで動作し、前記第 1 の動作モードでは切断され前記第 2 の動作モードでは切断されないモード切替用ヒューズ、前記第 1 及び第 3 の基準電位を発生する基準電位発生回路、前記第 2 の基準電位が外部から印加されるパッド、前記第 4 の基準電位を前記第 3 の基準電位から生成する電位調整手段、前記第 1 及び第 3 の基準電位が出力される第 1 の端子、前記第 2 及び第 4 の基準電位が出力される第 2 の端子、前記第 1 の端子から出力された基準電位から生成された電圧により動作する複数のメモリセル及びリダンダンシセル並びに切断により前記複数のメモリセルのうち不良のメモリセルを前記リダンダンシセルに置換するリダンダンシ選択用ヒューズを備えた半導体装置のテスト方法において、前記パッドにウェハテスト用の第 5 の基準電位を供給し前記電位調整手段に前記第 5 の基準電位からウェハテスト用の第 6 の基準電位を生成させてウェハテストを行う工程と、前記モード切替用ヒューズ及び前記ウェハテストの結果不良と判定されたメモリセルについての前記リダンダンシ選択用ヒューズを切断する工程と、を有することを特徴とする半導体装置のテスト方法。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の実施例に係る半導体装置について、添付の図面を参照して具体的に説明する。図 1 及び図 2 は本発明の第 1 の実施例に係る半導体装置の構造を示すブロック図である。

【 0 0 3 3 】

第 1 の実施例には、図 1 に示すように、一端が接地に接続されたヒューズ F 1 が設けられている。ヒューズ F 1 の他端には、抵抗素子 R 1 が接続されている。更に、抵抗素子 R 1 の他端を S S T L モード用では電源に接続し、L V T T L モ

ード用では非導通となるスイッチ SW 1 が設けられている。

【 0 0 3 4 】

また、S S T Lモード（第 1 の動作モード）用ではヒューズ F 1 と抵抗素子 R 1 との接続点の電位を出力し、L V T T Lモード（第 2 の動作モード）用では接地電位を出力するスイッチ SW 2 が設けられている。更に、テスト用の電圧及び L V T T Lモード用の電圧を入力するパッド P A D 1 が設けられている。更にまた、スイッチ SW 2 の出力レベルがハイの時に接地電位を出力し、ロウの時にパッド P A D 1 の電位を出力するスイッチ SW 3 が設けられている。また、スイッチ SW 3 の出力レベルがハイの時にパッド P A D 1 の電位を基準電位 V R E F 0（第 1、第 3 又は第 5 の基準電位）として出力し、ロウの時に後段に設けられたスイッチ SW 6 に出力するスイッチ SW 4 が設けられている。更に、基準電位を発生する基準電位発生回路 1 が設けられ、この基準電位発生回路 1 が発生した基準電位をスイッチ SW 3 の出力レベルがロウの時にのみ基準電位 V R E F 0 として出力するスイッチ SW 5 が設けられている。スイッチ SW 5 は、スイッチ SW 3 の出力レベルがハイの時には非導通となる。スイッチ SW 6 は、S S T Lモード用でのみスイッチ SW 4 から出力されたパッド P A D 1 の電位を基準電位 V R E F として出力するものであり、L V T T Lモード用では非導通となる。

【 0 0 3 5 】

また、S S T Lモード用ではスイッチ SW 3 の出力信号の電位を出力し、L V T T Lモード用では電源電位を出力するスイッチ SW 7 が設けられている。更に、基準電位 V R E F 0 用の配線と接地との間に抵抗素子 R 2 及び R 3 が互いに直列に接続されている。そして、スイッチ SW 7 の出力がハイの時にのみ抵抗素子 R 2 及び R 3 の接続点の電位、即ち基準電位 V R E F 0 を抵抗分割した電位を基準電位 V R E F（第 2、第 4 又は第 6 の基準電位）として出力し、ロウの時には非導通となるスイッチ SW 8 が設けられている。更に、基準電位 V R E F 0 が出力される第 1 の端子（図示せず）及び基準電位 V R E F が出力される第 2 の端子（図示せず）が設けられている。

【 0 0 3 6 】

なお、スイッチ SW 1、SW 2、SW 6 及び SW 7 は、S S T Lモードで使用

されるか L V T T L モードで使用されるかに基づいて、例えば製造工程において接続先が決定されるものであり、アルミオプションとよばれることがある。

【 0 0 3 7 】

更に、第 1 の実施例には、図 2 に示すように、基準電位 V_{REF0} （例えば、2.1 V）を判定基準として外部から供給される電源電位を降圧して所定の電圧 V_{INTS} を出力する降圧回路 2 及び基準電位 V_{REF0} を判定基準として外部から供給される電源電位を昇圧して所定の電圧 V_{BOOT} を出力する昇圧回路 3 が設けられている。降圧回路 2 及び昇圧回路 3 は、例えば 2.1 V の基準電位 V_{REF0} に対してしきい値分だけ低い電圧又は高い電圧を発生する回路である。また、電圧 V_{INTS} により動作するメモリセル 4、リダンダンシセル 5 及びセンスアンプ 6 並びに電圧 V_{BOOT} により動作するロウデコーダ 7 が設けられている。なお、電圧 V_{BOOT} は、後述のようにスイッチ $SW4$ にも供給される。

【 0 0 3 8 】

また、アドレス信号 ADD を入力しロウデコーダ 7 を駆動するアドレスバッファ 8 並びにロウアドレスストローブ信号 RAS 、カラムアドレスストローブ信号 CAS 、ライトイネーブル信号 WE 、チップセレクト信号 CS 及びクロック信号 CLK を入力し、メモリセル 4 でのデータの読み書きを制御するコマンド・クロックバッファ 9 が設けられている。更に、予め行われたリダンダンシテストによりヒューズ $10a$ の切断が行われアドレスバッファ 8 の出力に応じてロウデコーダ 7 及びリダンダンシセル 5 を駆動するリダンダンシ判定回路 10 が設けられている。そして、センスアンプ 6 と入出力端子 DQ との間にデータ入出力バッファ 11 が設けられている。なお、アドレスバッファ 8、コマンド・クロックバッファ 9 及びデータ入出力バッファ 11 には、入力信号のハイ/ロウを判断するための基準として基準電位 V_{REF} が入力される。

【 0 0 3 9 】

図 3 はスイッチ $SW4$ の構造を示す回路図、図 4 はスイッチ $SW3$ の構造を示す回路図である。

【 0 0 4 0 】

スイッチ $SW4$ には、ソースに電圧 V_{BOOT} が入力される P チャネルトラン

ジスタ P 1 及び P 2 並びにソースが接地に接続された N チャネルトランジスタ N 3 及び N 4 が設けられている。トランジスタ P 1 のドレイン、トランジスタ N 3 のドレイン及びトランジスタ P 2 のゲートがノード ND 2 で共通接続され、トランジスタ P 2 のドレイン、トランジスタ N 4 のドレイン及びトランジスタ P 1 のゲートがノード ND 1 で共通接続されている。スイッチ SW 3 の出力信号を反転するインバータ I V 1 が設けられており、スイッチ SW 3 の出力信号は、トランジスタ N 3 のゲートにそのまま入力されると共に、トランジスタ N 4 のゲートにインバータ I V 1 により反転されて入力される。また、ノード ND 1 及び ND 2 の電位が、夫々ゲートに入力される N チャネルトランジスタ N 1 及び N 2 が設けられている。トランジスタ N 1 及び N 2 の一端には、パッド PAD 1 の電位が入力される。トランジスタ N 1 の他端は基準電位 V REF 0 用の配線に接続され、トランジスタ N 2 の他端はスイッチ SW 6 に接続されている。

【 0 0 4 1 】

一方、スイッチ SW 3 には、パッド PAD 1 に入力された信号を反転するインバータ I V 2 が設けられている。また、インバータ I V 2 の出力信号とスイッチ SW 2 の出力信号との否定論理和をとる論理ゲート NOR 1 が設けられている。

【 0 0 4 2 】

図 5 は基準電位発生回路 1 の構造を示す回路図である。

【 0 0 4 3 】

基準電位発生回路 1 には、ソースに電源電圧 V c c が印加される P チャネルトランジスタ P 1 1 が設けられている。そして、このトランジスタ P 1 1 と接地との間に抵抗素子 R 1 1、R 1 2、R 1 5、R 1 6、R 1 3 及び R 1 4 がこの順で直列に接続されている。また、ヒューズ F 1 1、F 1 2、F 1 3 及び F 1 4 が、夫々抵抗素子 R 1 1、R 1 2、R 1 3 及び R 1 4 と並列に接続されている。更に、トランジスタ R 1 5 及び R 1 6 間の接続点の電位レベルを正側に入力し、参照電圧 V R を負側に入力する比較器 1 2 が設けられている。この比較器 1 2 の出力信号はトランジスタ P 1 1 のゲートに印加される。基準電位 V REF 0 はトランジスタ P 1 1 と抵抗素子 R 1 1 との接続点から出力される。

【 0 0 4 4 】

次に、上述のように構成された半導体装置の動作について、SSTLモードにおけるテスト動作及び通常動作、LVTTLモードにおけるテスト動作及び通常動作の順で説明する。

【0045】

図6は第1の実施例のSSTLモードにおけるテスト動作を示すブロック図である。SSTLモードにおけるテスト動作時には、ヒューズF1を切断することなく、例えばパッドPAD1に規格に基づいて定められた2.1Vの電圧を供給する。また、スイッチSW1、SW2、SW6及びSW7はSS側に予め固定されている。

【0046】

このような状態とすると、スイッチSW2からはヒューズF1を介してロウが出力されるので、スイッチSW3はパッドPAD1の電位レベル（ハイ）を出力する。従って、スイッチSW4はパッドPAD1の電圧（2.1V）を基準電位VREF0として出力する。一方、スイッチSW5は、スイッチSW3の出力がハイであるので、非導通状態となる。また、スイッチSW8は、スイッチSW3の出力がハイであるので、抵抗素子R2及びR3の接続点の電位を基準電位VREFとして出力する。

【0047】

従って、SSTLモードにおけるテスト動作では、基準電位VREF0（第5の基準電位）はパッドPAD1に供給された2.1V、基準電位VREF（第6の基準電位）はそれを抵抗分割した電圧となる。

【0048】

図7は第1の実施例のSSTLモードにおける通常動作を示すブロック図である。SSTLモードにおける通常動作を行うためには、ウェハテスト終了後にヒューズF1を切断する。また、通常動作では、パッドPAD1には、例えば規格に基づいて定められた1.5Vの電圧を供給する。なお、スイッチSW1、SW2、SW6及びSW7はSS側に予め固定されたままである。

【0049】

このような状態とすると、スイッチSW2からはスイッチSW1及び抵抗素子

R 1 を介してハイが出力されるので、スイッチ S W 3 は接地電位（ロウ）を出力する。従って、スイッチ S W 4 はパッド P A D 1 の電圧（1. 5 V）をスイッチ S W 6 に出力する。このとき、スイッチ S W 6 は S S 側に固定されているので、スイッチ S W 6 からパッド P A D 1 の電圧が基準電位 V R E F として出力される。一方、スイッチ S W 5 は、スイッチ S W 3 の出力がロウであるので、導通状態となり、基準電位発生回路 1 が発生した電圧が基準電位 V R E F 0 として出力される。また、スイッチ S W 8 は、スイッチ S W 3 の出力がロウであるので、非導通状態となる。

【 0 0 5 0 】

従って、S S T L モードにおける通常動作では、基準電位 V R E F 0 （第 1 の基準電位）は基準電位発生回路が発生した電圧、基準電位 V R E F （第 2 の基準電位）はパッド P A D 1 に供給された 1. 5 V となる。

【 0 0 5 1 】

図 8 は第 1 の実施例の L V T T L モードにおけるテスト動作を示すブロック図である。L V T T L モードにおけるテスト動作時には、ヒューズ F 1 を切断することなく、例えばパッド P A D 1 に規格に基づいて定められた 2. 1 V の電圧を供給する。また、スイッチ S W 1、S W 2、S W 6 及び S W 7 は L V 側に予め固定されている。

【 0 0 5 2 】

このような状態とすると、スイッチ S W 2 が L V 側に固定されているため、スイッチ S W 2 からロウが出力されるので、スイッチ S W 3 はパッド P A D 1 の電位レベル（ハイ）を出力する。従って、スイッチ S W 4 はパッド P A D 1 の電圧（2. 1 V）を基準電位 V R E F 0 として出力する。一方、スイッチ S W 5 は、スイッチ S W 3 の出力がハイであるので、非導通状態となる。また、スイッチ S W 7 が L V 側に固定されているので、スイッチ S W 8 は、抵抗素子 R 2 及び R 3 の接続点の電位を基準電位 V R E F として出力する。

【 0 0 5 3 】

従って、L V T T L モードにおけるテスト動作では、基準電位 V R E F 0 （第 5 の基準電位）はパッド P A D 1 に供給された 2. 1 V、基準電位 V R E F （第

6の基準電位)はそれを抵抗分割した電圧となる。

【0054】

図9は第1の実施例のLVTTLモードにおける通常動作を示すブロック図である。LVTTLモードにおける通常動作時には、ヒューズF1を切断することなく、パッドPAD1をオープン状態(ロウ)とする。また、スイッチSW1、SW2、SW6及びSW7はLV側に固定されたままである。

【0055】

このような状態とすると、スイッチSW2がLV側に固定されているため、スイッチSW2からロウが出力されるので、スイッチSW3はパッドPAD1の電位レベル(ロウ)を出力する。従って、スイッチSW4はパッドPAD1の電位レベル(ロウ)をスイッチSW6に出力する。一方、スイッチSW5は、スイッチSW3の出力がロウであるので、導通状態となり、基準電位発生回路1が発生した電圧が基準電位VREF0として出力される。また、スイッチSW7がLV側に固定されているので、スイッチSW8は、抵抗素子R2及びR3の接続点の電位を基準電位VREFとして出力する。

【0056】

従って、LVTTLモードにおける通常動作では、基準電位VREF0(第3の基準電位)は基準電位発生回路が発生した電圧、基準電位VREF(第4の基準電位)はそれを抵抗分割した電圧となる。

【0057】

このように、第1の実施例によれば、外部から電圧を供給するためのパッドとして1個のパッドPAD1のみを使用することで、LVTTLモードにおけるテスト動作及び通常動作並びにSSTLモードにおけるテスト動作及び通常動作を行うことができる。つまり、図12及び図13に示す従来の半導体装置では、パッドPAD11に供給される電圧は、ウェハテスト時にデバイス内部に供給される電圧及びウェハテスト以外のテストモード時にデバイス内部に供給される電圧のみであるが、本実施例では、更にSSTLモードにおける基準電圧VREFもがパッドPAD1に供給されることになる。

【0058】

また、ヒューズF1の切断によりSSTLモードにおけるテスト動作と通常動作とを切替えているので、テスト動作時にパッドPAD1に供給される電圧2.1VとSSTLモードの通常動作時にパッドPAD1に供給される電圧1.5Vとが比較的近似したものであっても、これらの差を確実に識別して正確な動作を行うことが可能である。

【0059】

更に、図3に示すように、スイッチSW4におけるパッドPAD1に接続されたスイッチ素子を、トランスファゲートではなくNチャネルトランジスタN1及びN2のみから構成しているので、CMOSトランジスタに寄生するバイポーラトランジスタに流れる大きな順方向電流による破壊が未然に防止される。但し、このような構成とすると、トランジスタN1及びN2が確実にオンせず、正確な動作が確保されない虞があるが、本実施例では、PチャネルトランジスタP1及びP2のソースに昇圧回路3により昇圧された電圧VBOOTを供給しているので、トランジスタN1及びN2のゲートにしきい値を越える十分な電圧を印加することが可能である。

【0060】

次に、本発明の第2の実施例について説明する。図1に示す第1の実施例において、抵抗素子R1は、例えばトランジスタから構成される。この場合、トランジスタの応答に時間がかかるので、その後段に設けられている回路における電圧の確定は、電源投入から瞬時に行われなかったことがある。この結果、SSTLモードにおける通常動作時における電源電圧VREF0が不確実なものとなる。そこで、第2の実施例では、第1の実施例におけるスイッチSW3を改良したスイッチSW3aを設け、このスイッチSW3aに向けて電源投入時にワンショット信号を発信する。図10は本発明の第2の実施例におけるスイッチSW3aの構造を示す回路図である。

【0061】

第2の実施例におけるスイッチSW3aには、スイッチSW2の出力信号を反転するインバータIV3が設けられている。また、スイッチSW3aの外部には、ワンショット信号PONを反転するインバータIV4が設けられている。そし

て、スイッチSW3 aには、インバータIV3及びIV4の各出力信号の否定論理積をとる論理ゲートNAND1が設けられている。ワンショット信号PONは、電源投入と同時に一度だけハイレベルとなる信号である。図11はワンショット信号PONを示すグラフ図である。

【0062】

このように構成された第2の実施例では、ヒューズF1の切断後の通常動作時に電源投入からの抵抗素子R1の応答に時間がかかったとしても、論理ゲートNAND1の少なくとも一方の入力端にはロウレベルの信号が入力されるので、スイッチSW3 aからは電源投入直後からロウレベルの信号が出力される。従って、第2の実施例によれば、電源電圧VREF0を確実なものとすることができる。

【0063】

なお、第1及び第2の実施例においても、基準電位発生回路1の動作不具合又はウェハテストによる電位調整の誤り等により、デバイス内部で基準電圧VREF0を所定レベルのものとすることができない場合であっても、外部から所定レベルの基準電圧VREF0を供給できるので、ヒューズF1の切断前にパッドPAD1に所定の電圧を供給することにより、ウェハテスト以外の種々の動作テストを行うこともできる。例えば、ロウデコーダ7等の周辺回路及びメモリセル4に供給される電圧は基準電圧VREF0から生成されるので、この基準電圧VREF0を調整することにより、メモリセル4等の動作テストを行うことができる。なお、このようなテストはヒューズF1の切断前に行われるものであるので、SSTLモードでは行うことができない。

【0064】

【発明の効果】

以上詳述したように、本発明によれば、ウェハテスト並びに通常動作の第1及び第2の動作モードに対し1個のパッドのみで必要な電位を外部から供給することができ、これにより、パッド数を低減することができる。

【0065】

また、ヒューズの切断により、第1の動作モードにおけるウェハテストと通常

動作とを切替えることができるので、モードを切替える制御信号を回路内部で生成する必要がなく、基準電圧のトリミング前であっても、リダンダンシテスト等を確実に行うことができる。これに対し、従来のようなテスト用の基準電位のレベルがずれているときに半導体装置の内部回路で生成させた制御信号でモードを切替える方法では、前記制御信号を発生する内部回路自体が正しく動作しないので、前記制御信号の生成が保証されていない。

【 0 0 6 6 】

更に、従来の半導体装置で第 1 の動作モードにおけるウェハテストと通常動作との動作切替を動作切替用端子に供給される電圧値、即ち入力レベルの差で行おうとしても、入力レベル間の差が小さいときにはモード切替を行うことができなかった。これに対し、本発明では、ヒューズの切断の有無で動作を切替える構成を採用しているので、動作切替用端子への入力レベルが極めて近似している場合であっても、確実に動作を切替えることができる。

【 0 0 6 7 】

このように、本発明では、ヒューズの切替えを採用することによって、正確な動作切替を保証することができる。

【 0 0 6 8 】

更にまた、請求項 2 におけるスイッチのうちパッドに直接接続されるスイッチを、CMOS トランジスタではなく N チャネルトランジスタのみから構成すれば、CMOS トランジスタに寄生するバイポーラトランジスタに流れる大きな順方向電流による破壊が未然に防止される。この際、請求項 4 における昇圧回路により昇圧された電圧を前記 N チャネルトランジスタのゲートに供給するようにすれば、そのしきい値を越える電圧として十分である。

【 0 0 6 9 】

また、第 1 のスイッチを、第 1 の動作モードにおいて電源投入によりレベルが切替わるワンショット信号を入力して電源投入に応答させることにより、電源投入から瞬時に動作モードが第 1 の動作モードであることの判断を行うことができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例に係る半導体装置の構造を示すブロック図である。

【図 2】

同じく、本発明の第 1 の実施例に係る半導体装置の構造を示すブロック図である。

【図 3】

スイッチ SW 4 の構造を示す回路図である。

【図 4】

スイッチ SW 3 の構造を示す回路図である。

【図 5】

基準電位発生回路 1 の構造を示す回路図である。

【図 6】

第 1 の実施例の S S T L モードにおけるテスト動作を示すブロック図である。

【図 7】

第 1 の実施例の S S T L モードにおける通常動作を示すブロック図である。

【図 8】

第 1 の実施例の L V T T L モードにおけるテスト動作を示すブロック図である。

【図 9】

第 1 の実施例の L V T T L モードにおける通常動作を示すブロック図である。

【図 1 0】

スイッチ SW 3 a の構造を示す回路図である。

【図 1 1】

ワンショット信号 P O N を示すグラフ図である。

【図 1 2】

従来の半導体装置の構造を示すブロック図である。

【図 1 3】

同じく、従来の半導体装置の構造を示すブロック図である。

【図 1 4】

アドレスバッファ108、コマンド・クロックバッファ109及びデータ入出力バッファのデータ入力部の各入力初段部分に設けられる入力バッファの構成を示す回路図である。

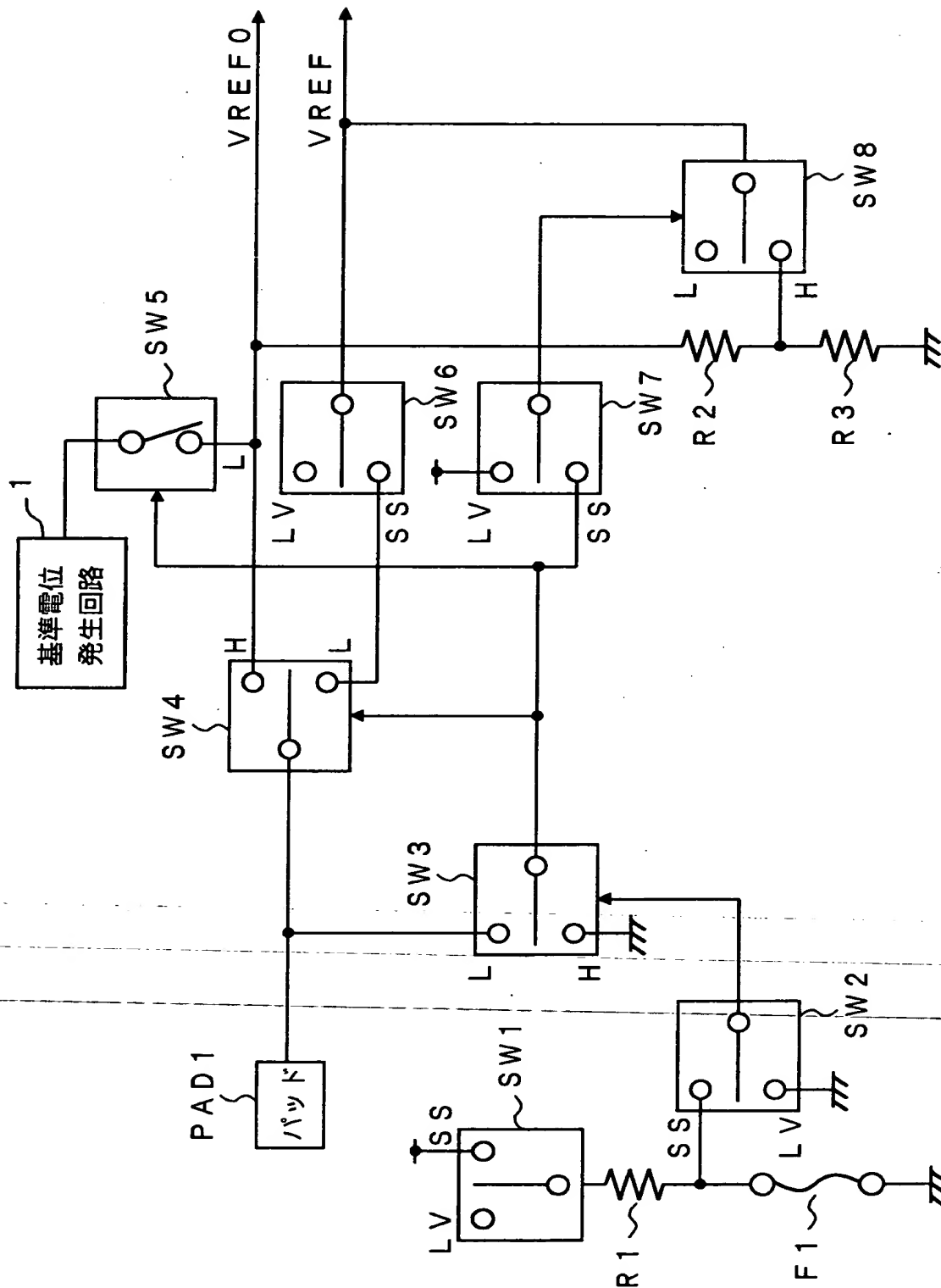
【符号の説明】

- 1、101；基準電位発生回路
- 2、102；降圧回路
- 3、103；昇圧回路
- 4、104；メモリセル
- 5、105；リダンダンシセル
- 6、106；センスアンプ
- 7、107；ロウデコーダ
- 8、108；アドレスバッファ
- 9、109；コマンド・クロックバッファ
- 10、110；リダンダンシ判定回路
- 11、111；データ入出力バッファ
- 12；比較器
- SW1～SW8；スイッチ
- PAD1、PAD11、PAD12；パッド
- F1、F11～F14、10a、110a；ヒューズ
- R1～R3、R11～R16、R101、R102；抵抗素子

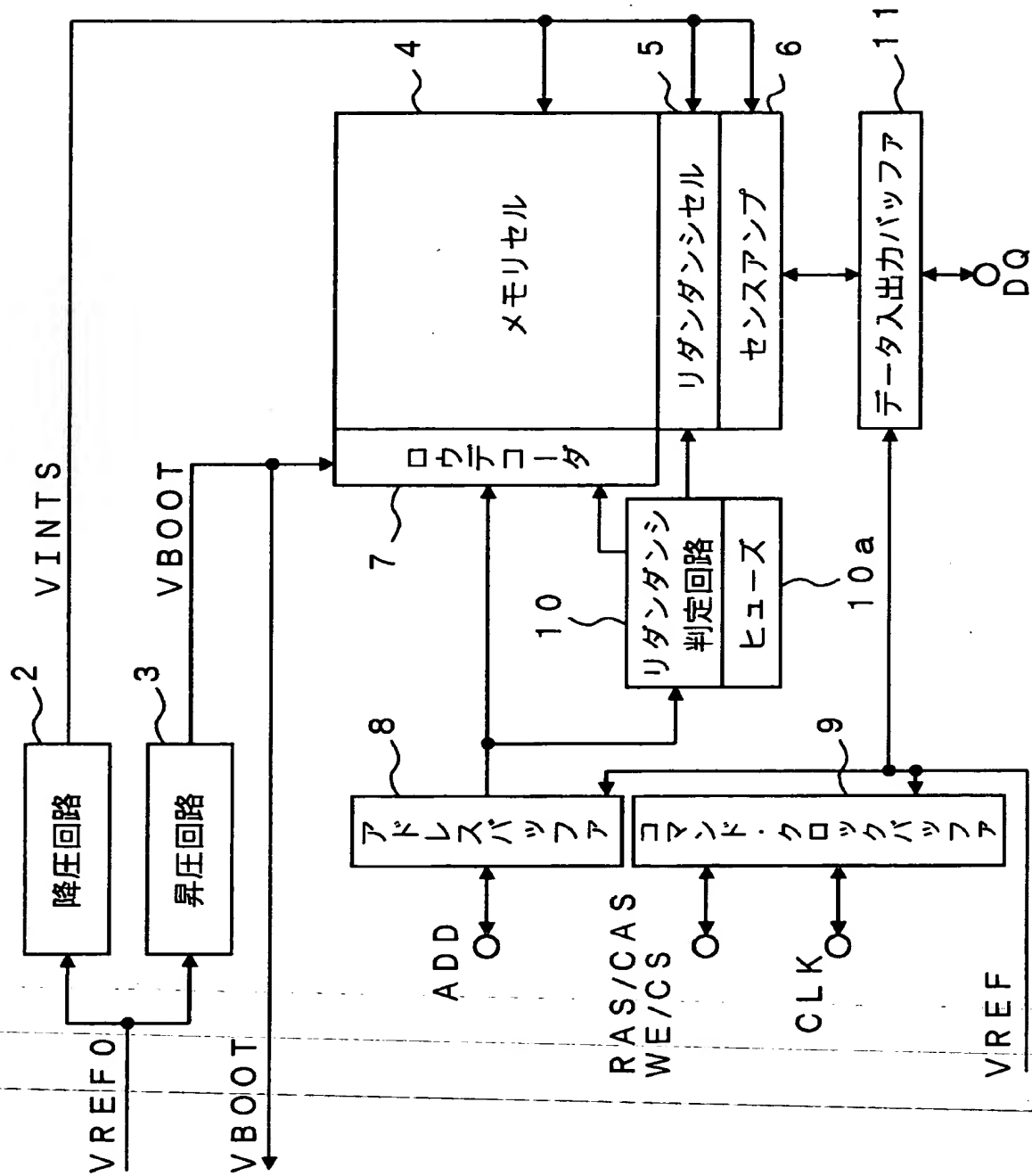
【書類名】

図面

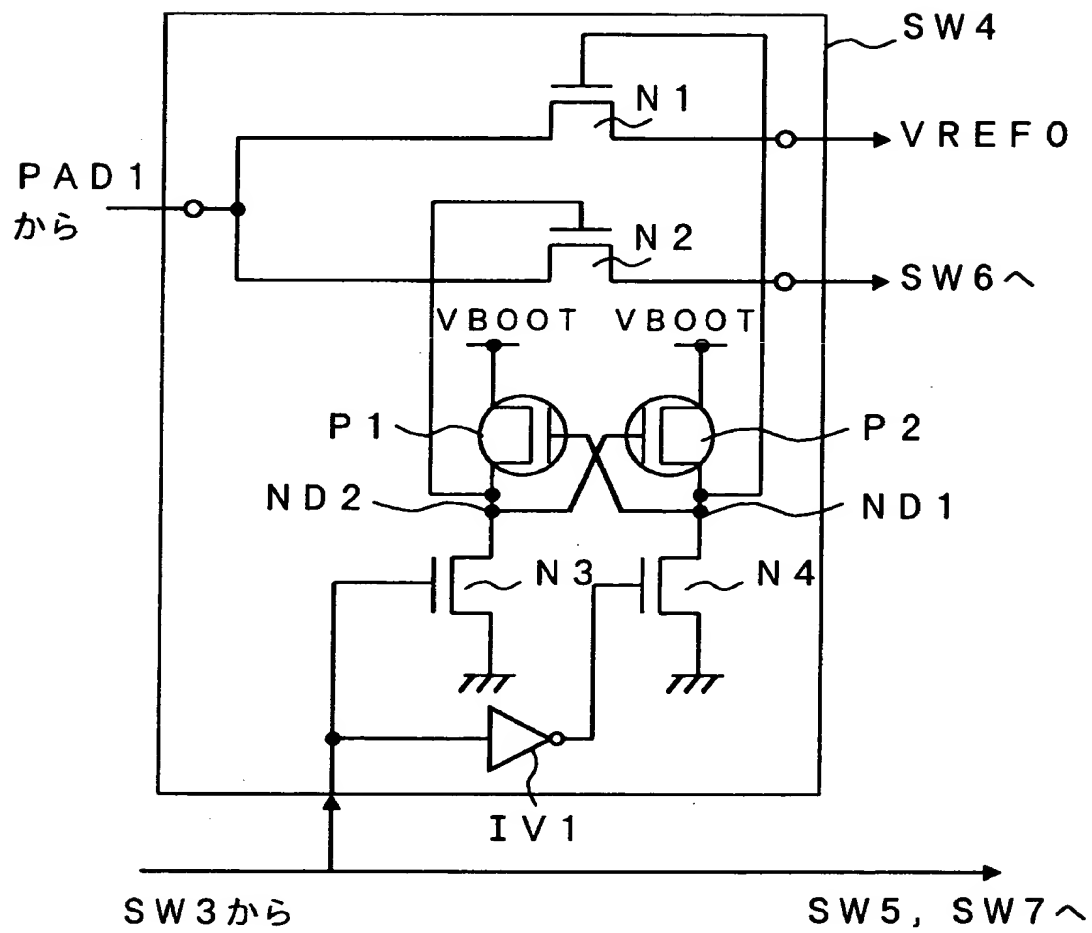
【図1】



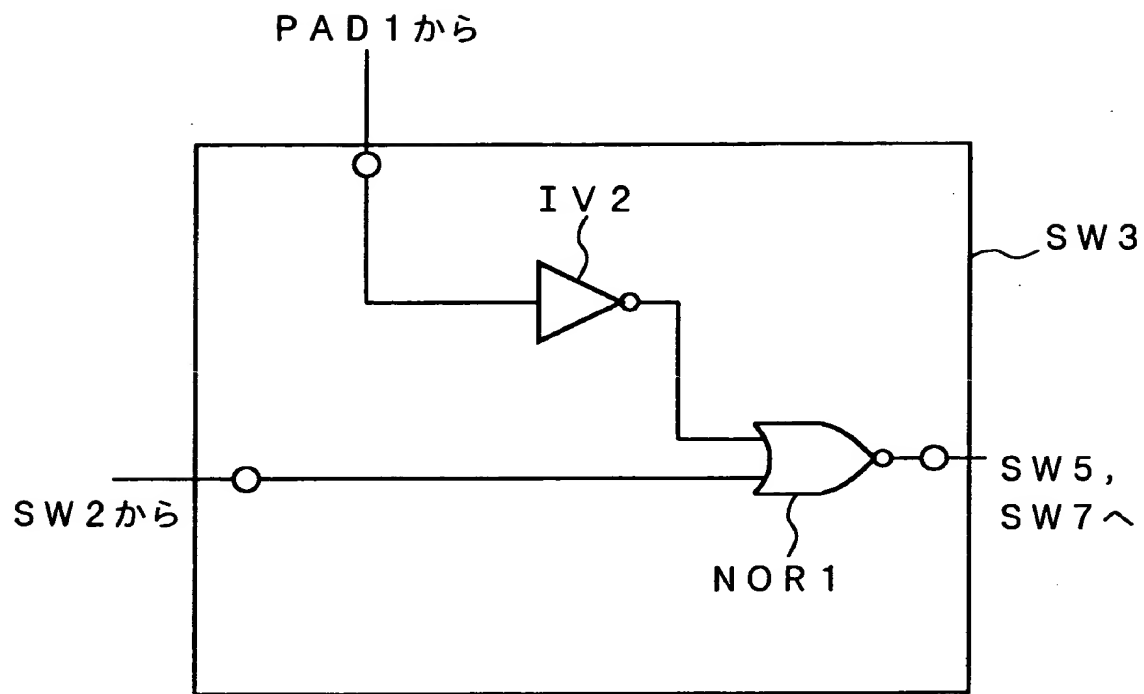
【図 2】



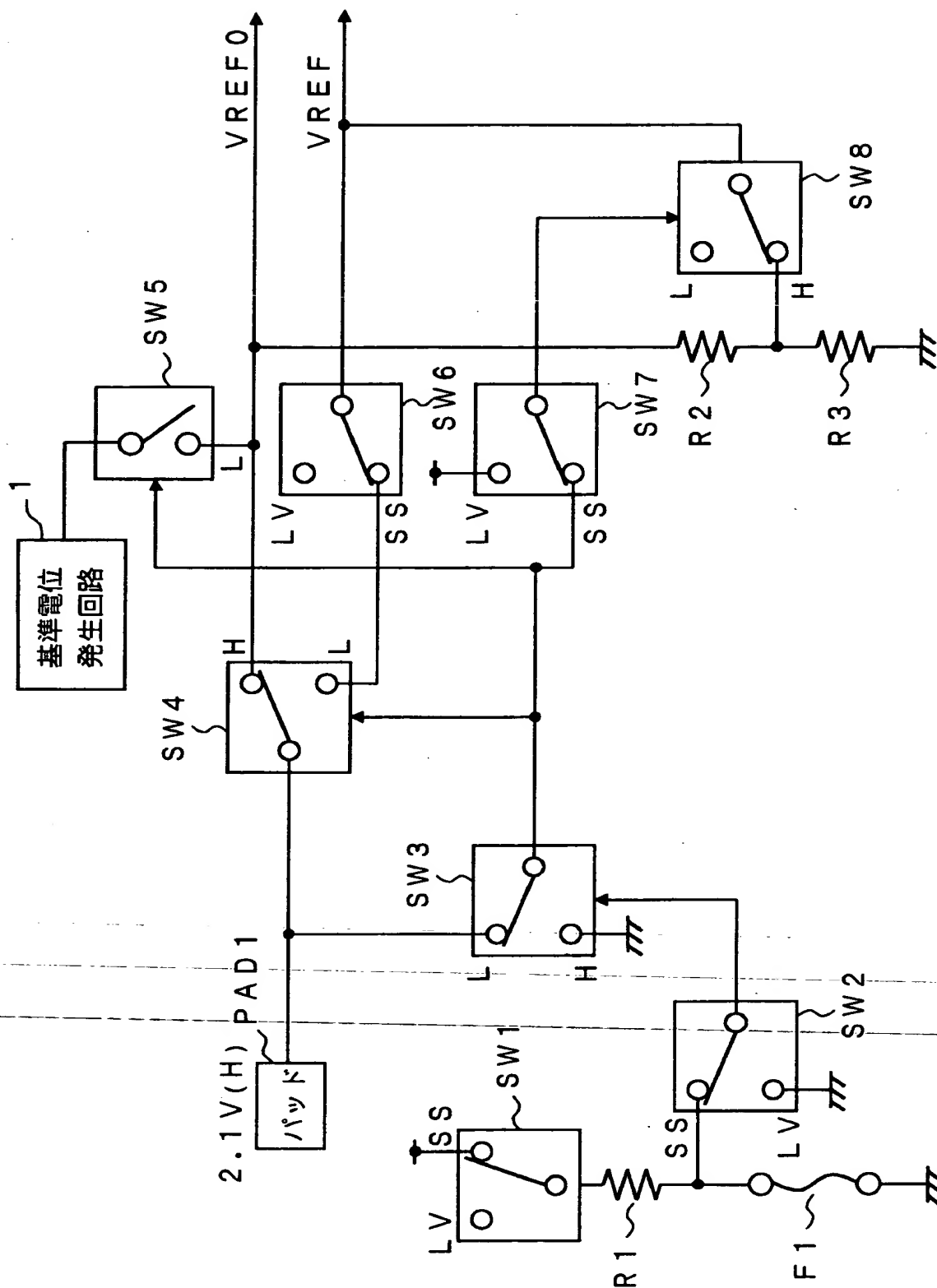
【図3】



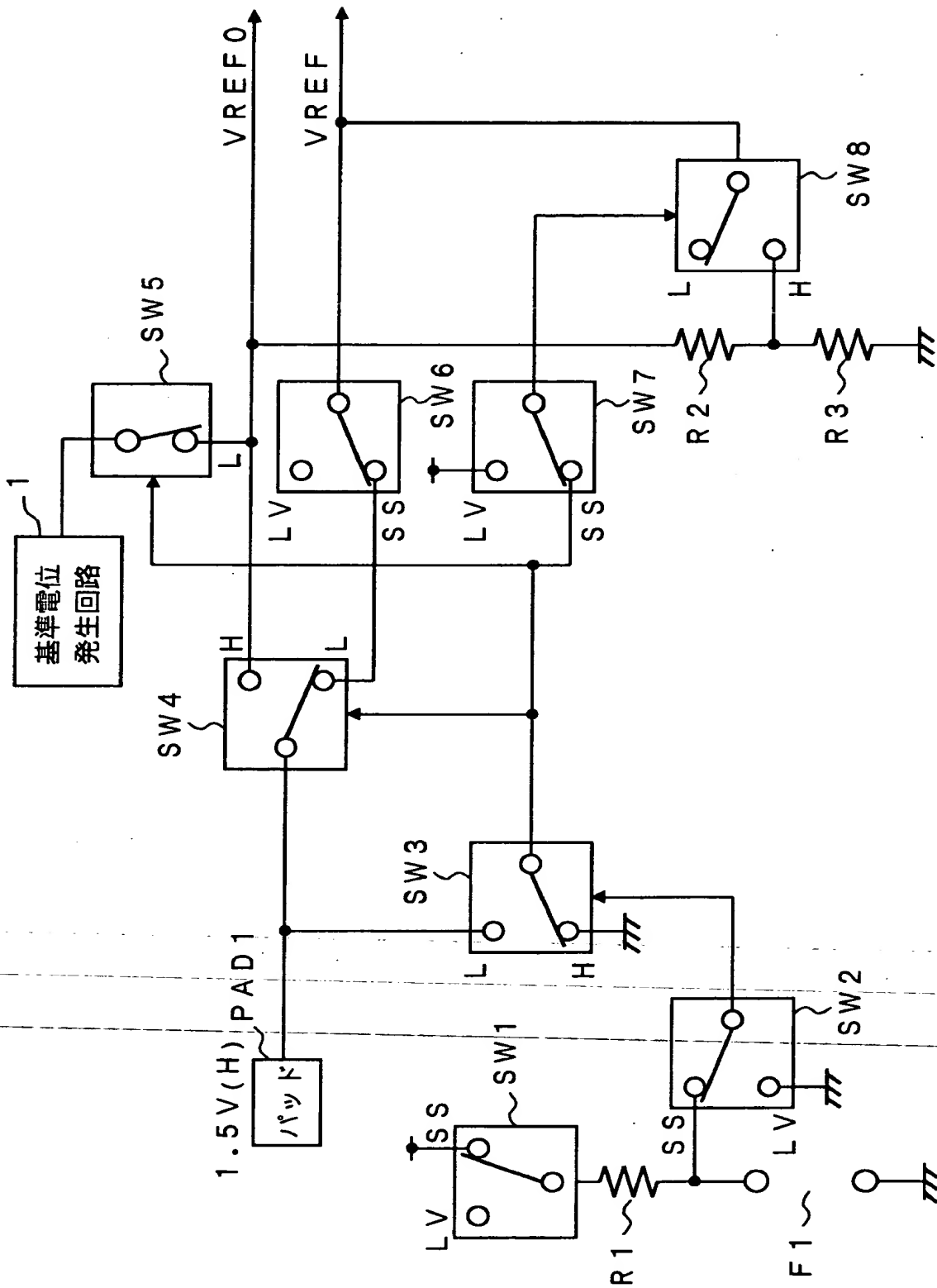
【図 4】



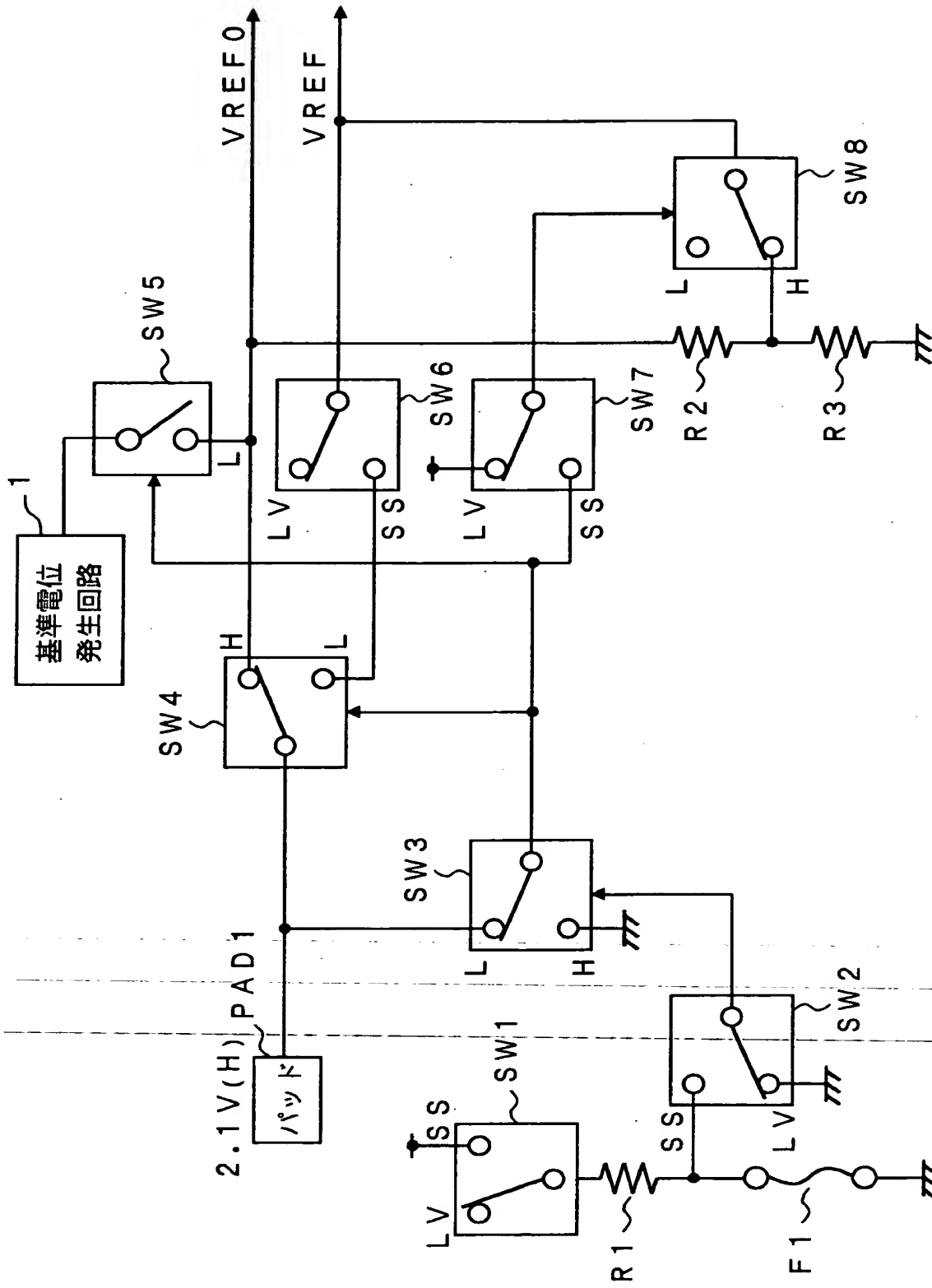
【図6】



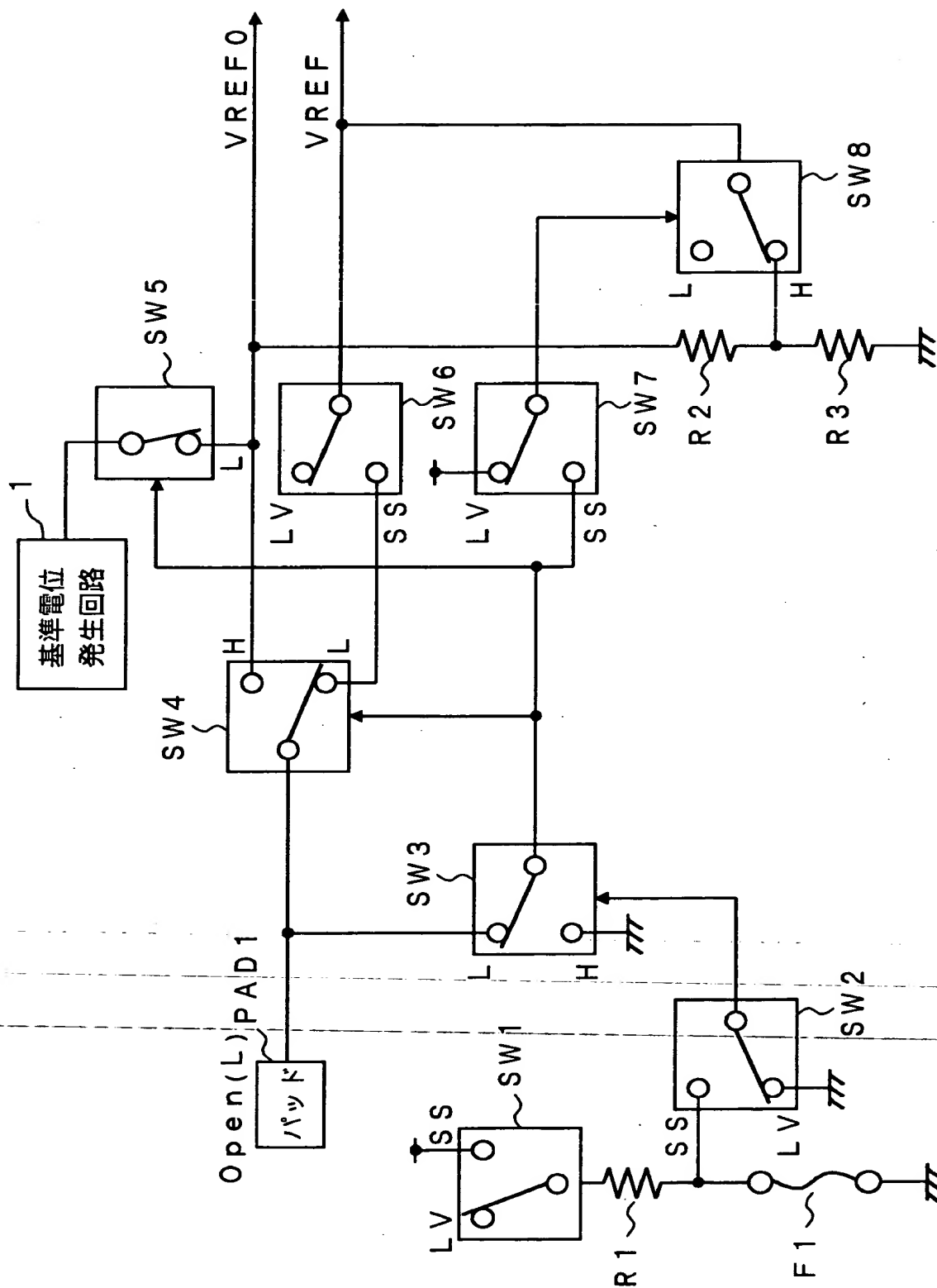
【図 7】



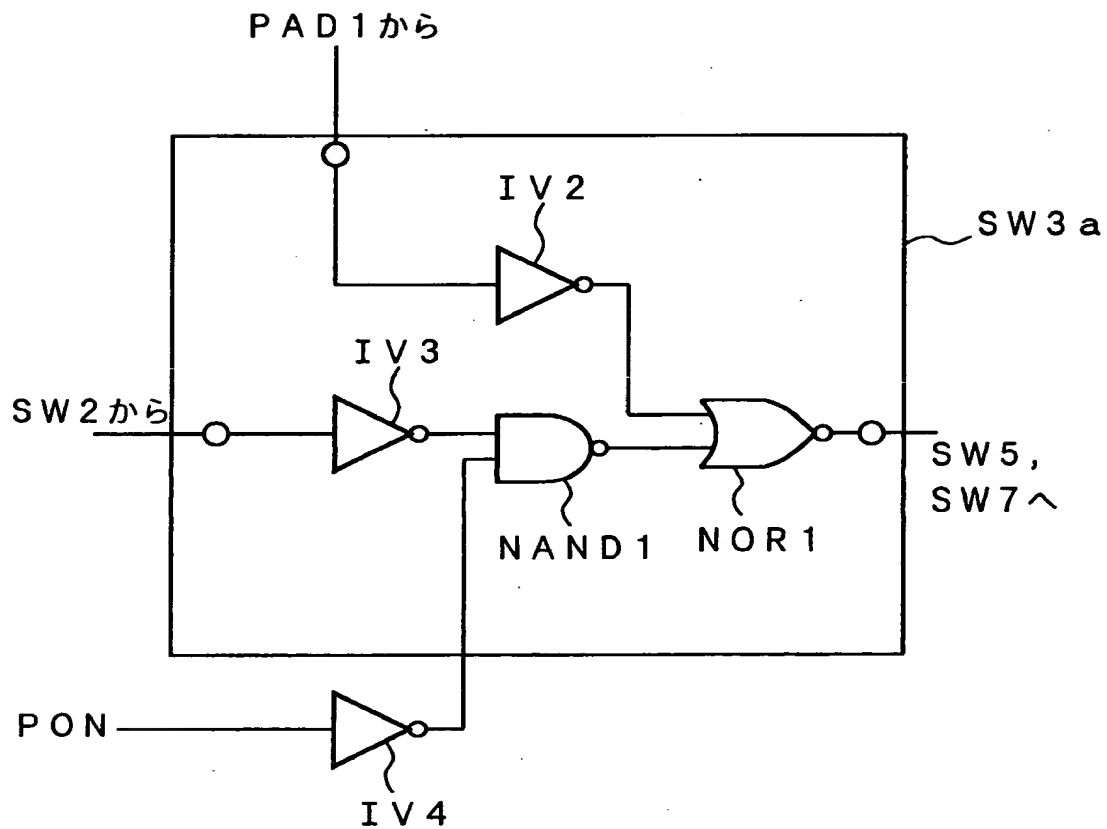
【図8】



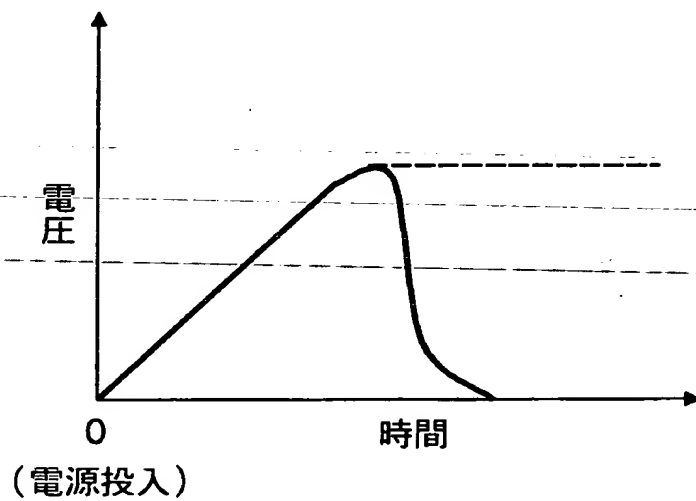
【図9】



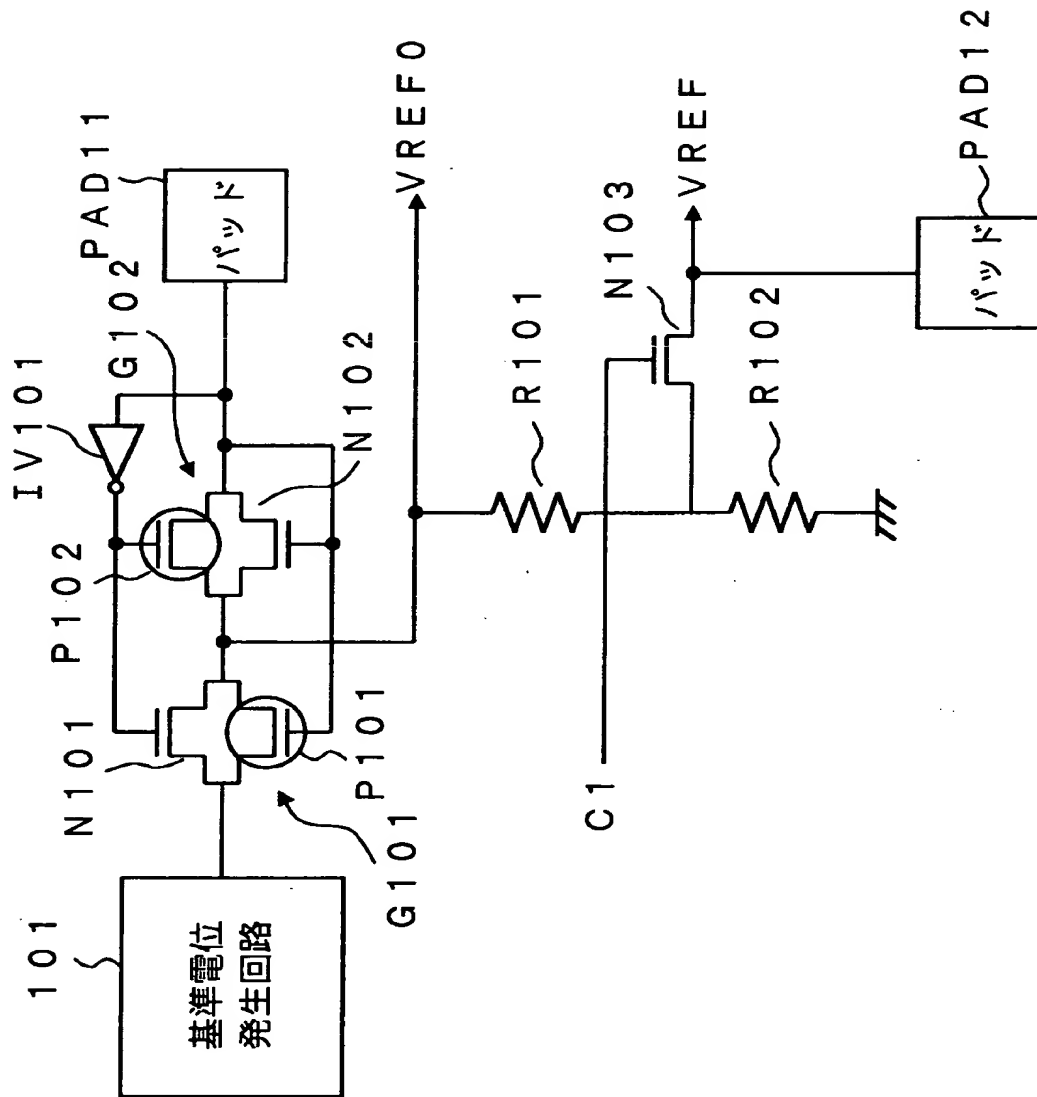
【図10】



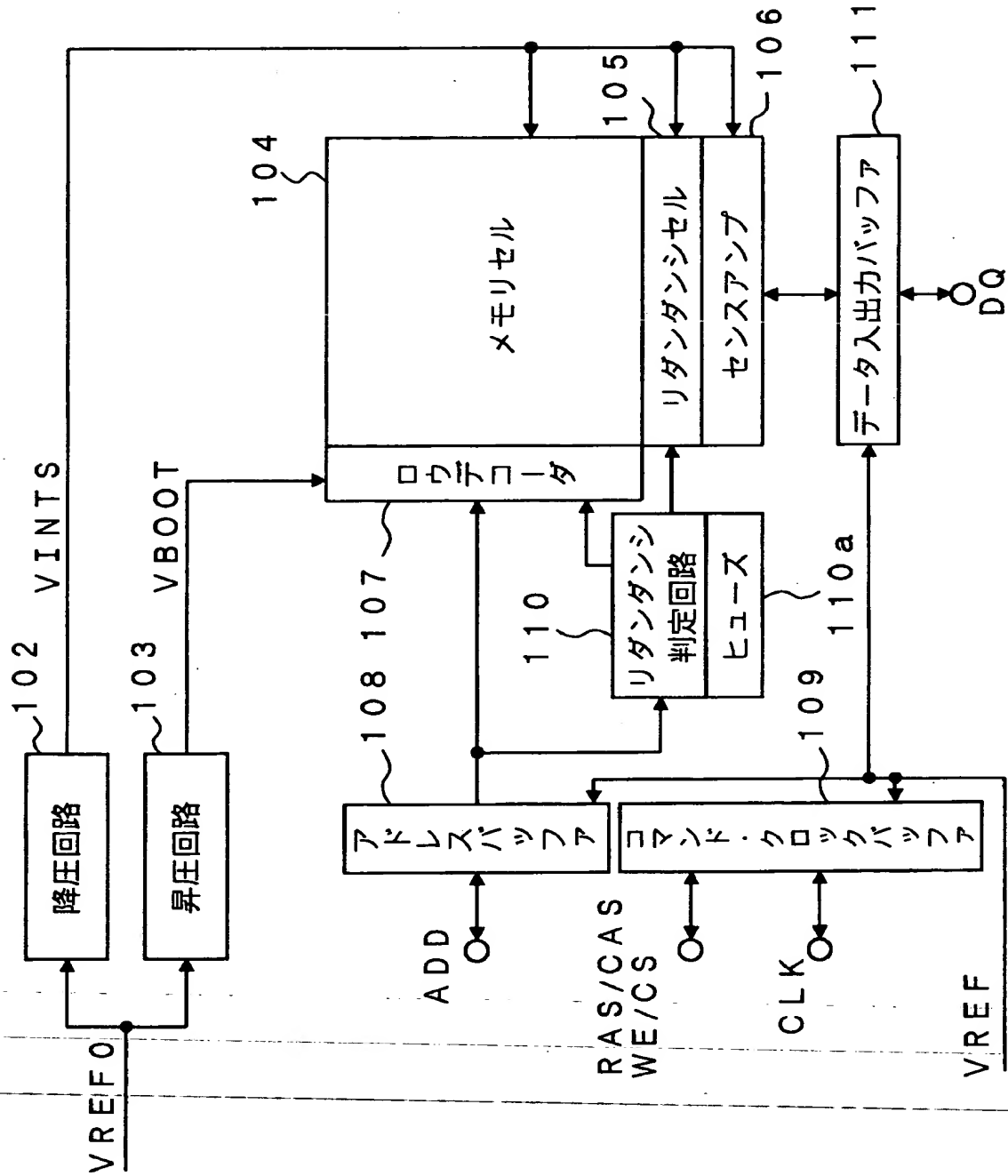
【図11】



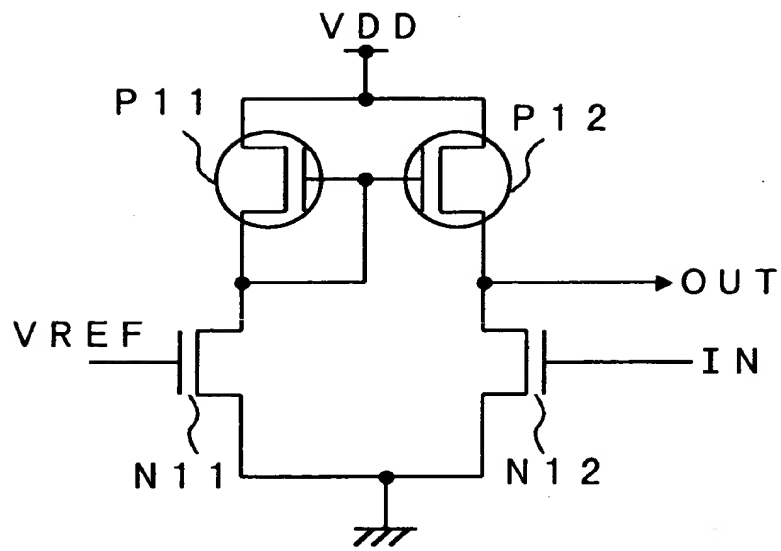
【図 1 2】



【図13】



【図 14】



【書類名】 要約書

【要約】

【課題】 パッドの少数化により小型化を可能とすることができる半導体装置及びそのテスト方法を提供する。

【解決手段】 S S T Lモードにおける通常動作を行うためには、ヒューズ F 1 を切断する。また、通常動作では、パッド P A D 1 には、例えば 1 . 5 V の電圧を供給する。この結果、スイッチ S W 2 からはスイッチ S W 1 及び抵抗素子 R 1 を介してハイが出力されるので、スイッチ S W 3 は接地電位を出力する。スイッチ S W 4 はパッド P A D 1 の電圧をスイッチ S W 6 に出力する。このとき、スイッチ S W 6 は S S 側に固定されているので、スイッチ S W 6 からパッド P A D 1 の電圧が基準電位 V R E F として出力される。一方、基準電位発生回路 1 が発生した電圧が基準電位 V R E F 0 として出力される。従って、S S T Lモードにおける通常動作では、基準電位 V R E F 0 は基準電位発生回路が発生した電圧、基準電位 V R E F はパッド P A D 1 に供給された 1 . 5 V となる。

【選択図】 図 7

認定・付加情報

特許出願の番号	特願2000-167195
受付番号	50000692351
書類名	特許願
担当官	第八担当上席 0097
作成日	平成12年 6月 6日

<認定情報・付加情報>

【提出日】	平成12年 6月 5日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社